

Схемотехника биполярно-полевых аналоговых микросхем

Часть 9. Выходные каскады

Олег Дворников

Статья является очередной публикацией из цикла, посвященно-го проектированию современных интегральных микросхем. Вертикальное и горизонтальное уменьшение размеров элементов современных ИС, направленное на увеличение степени интеграции и быстродействия, приводит к ухудшению усилительных свойств активных элементов, усилению влияния напряжения на основные характеристики активных и пассивных элементов, увеличению неидентичности электрических параметров однотипных элементов, сформированных на одной полупроводниковой подложке. Все эти факторы необходимо знать и обязательно учитывать при проектировании аналоговых ИС. В данной статье цикла рассматриваются особенности проектирования каскадов, работающих на низкоомную нагрузку.

В различной радиоэлектронной аппаратуре необходимы каскады, работающие на низкоомную нагрузку: 50-омный кабель, электромагнит, электродвигатель, громкоговоритель и др. В качестве таких каскадов можно применять специальные мощные ИС, однако уменьшение размеров и стоимости аппаратуры настойчиво требует реализацию выходных каскадов (ВК) на одном кристалле со схемой обработки сигнала.

При проектировании выходных каскадов возникают задачи как общие для всех ИС: снижение допустимого напряжения питания и максимального тока потребления, так и специфические, а именно обеспечение:

- максимальной амплитуды выходного напряжения, большой нагрузочной способности по току;
- высокой линейности и малых искажений выходного сигнала;
- устойчивой работы и высокой скорости нарастания выходного сигнала на емкостной нагрузке;
- минимальной площади, занимаемой ВК на кристалле.

Одновременное решение всех указанных задач затруднительно, и поэтому необходим поиск компромисса с учетом приоритетных для конкретного изделия набора характеристик.

Большинство проблем биполярных выходных каскадов обусловлено низкими частотными и усилительными характеристиками интегральных горизонтальных р-п-р транзисторов. Так, для типовой биполярной технологии β горизонтальных р-п-р почти в 3 раза, а f_T в 30 раз меньше, чем п-р-п транзисторов [1]. Более того, для обеспечения высокой нагрузочной способности по току необходимо параллельное включение большого количества горизонтальных р-п-р транзисторов в отличие от вертикальных п-р-п, в которых повышение мощности тран-

зистора происходит при увеличении площади эмиттерного перехода. При этом мощный горизонтальный р-п-р транзистор занимает большую площадь кристалла, а барьерные емкости его р-п переходов ухудшают быстродействие выходного каскада.

Типичный двухтактный выходной каскад показан на рис. 1. Он включает входной эмиттерный повторитель Q1, R1, увеличивающий входное сопротивление, п-р-п усилительный каскад Q3 с активной р-п-р нагрузкой Q2, выходные эмиттерные повторители Q4–Q6, обеспечивающие низкое выходное сопротивление. Для увеличения нагрузочной способности по току р-п-р транзисторы Q5, Q6 включены по схеме Дарлингтона [2]. Источник напряжения смещения V_{BIAS2} задает требуемый режим работы транзисторов Q4–Q6. Наиболее простая реализация V_{BIAS2} показана на рис. 2. Поскольку:

$$V_{BE3} + |V_{BE4}| + |V_{BE5}| = V_{BE7} + |V_{BE8}| + |V_{BE9}|, \quad (1)$$

то для заземленной нагрузки (R_{LOAD} в состоянии покоя ($V_{OUT} = 0, I_{LOAD} = 0$):

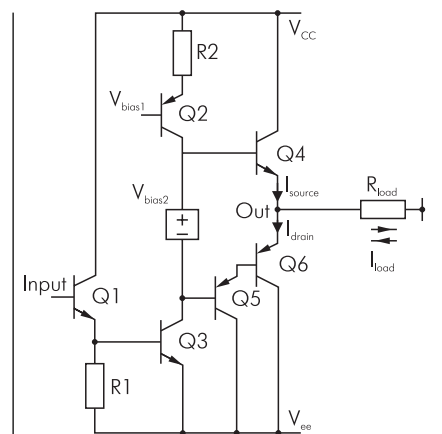


Рис. 1. Типовой двухтактный выходной каскад

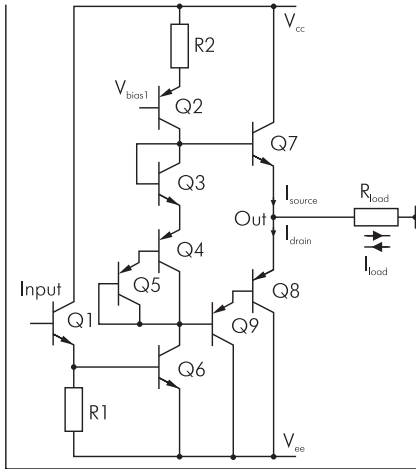


Рис. 2. Выходной каскад с диодной цепью смещения Q3–Q5 выходных транзисторов Q7–Q9

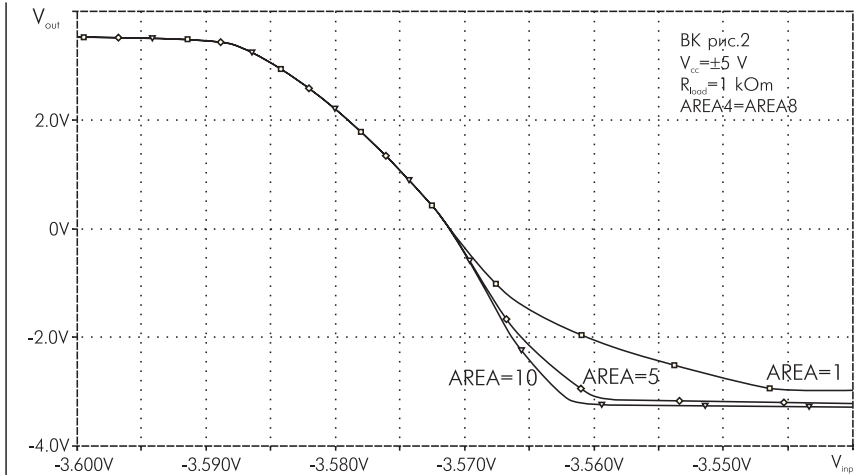


Рис. 3. Зависимость выходного напряжения от входного для ВК, показанного на рис. 2, при RLOAD = 1 кОм и AREA4 = AREA8 = 1; 5; 10

$$I_{SOURCE} = I_{DRAIN} = I_{IDLING} =$$

$$= I_{C2} \times \sqrt[3]{\frac{I_{ES7} \times I_{ES8} \times I_{ES9} \times (1 + \beta_8)}{I_{ES3} \times I_{ES4} \times I_{ES5} \times (1 + \beta_4)}} \quad (2)$$

где I_{SOURCE} , I_{DRAIN} — эмиттерный ток транзисторов Q7 (вытекающий из каскада) и Q8 (втекающий в каскад) соответственно; I_{IDLING} — ток в состоянии покоя или холостого хода; I_{C2} — коллекторный ток Q2; I_{ESi} — обратный ток насыщения эмиттерного перехода i-го транзистора; β_i — статический коэффициент передачи тока в схеме с общим эмиттером i-го транзистора.

Если транзисторы имеют одинаковую конструкцию, температуру и расположены рядом на кристалле, то $\beta_8 \approx \beta_4$, а обратные токи насыщения пропорциональны только площадям эмиттерных переходов, определяемым при Pspice моделировании коэффициентами AREA [1], то есть:

$$I_{IDLING} \approx I_{C2} \times$$

$$\times \sqrt[3]{\frac{AREA7 \times AREA8 \times AREA9 \times (1 + \beta_8)}{AREA3 \times AREA4 \times AREA5 \times (1 + \beta_4)}} \quad (3)$$

С учетом того, что Q4 и Q8 работают при разном напряжении на коллекторном переходе, и их β отличается только из-за эффекта Эрли, окончательно получим:

$$I_{IDLING} \approx I_{C2} \times$$

$$\times \sqrt[3]{\frac{AREA7 \times AREA8 \times AREA9}{AREA3 \times AREA4 \times AREA5} \times \exp\left(\frac{V_{CB8} - 0,7}{V_{AP}}\right)} \quad (4)$$

где V_{CB8} — напряжение коллектор-базы Q8, V_{AP} — напряжение Эрли p-n-p транзистора.

Зависимость тока покоя I_{IDLING} от напряжения питания из-за влияния эффекта Эрли на параметры транзистора Q8 довольно слабая, так для $V_{EE} = -5$ В, $V_{CB8} \approx -4,3$ В и p-n-p транзисторов АБМК_1_2 экспоненциальный множитель составит:

$$\sqrt[3]{\exp\left(\frac{V_{CB8} - 0,7}{V_{AP}}\right)} \approx 1,08.$$

Режим работы транзисторов Q7–Q9 в основном определяется коллекторным током Q2, соотношением площадей транзисторов и поэтому может быть сделан стабильным даже при изменении напряжения питания или температуры выбором схемотехнического решения источника тока активной нагрузки [3]. К сожалению, наиболее экономичный режим работы выходного каскада $I_{IDLING} = I_{C2}$ достигается в случае равенства площадей эмиттеров пар транзисторов Q3 и Q7, Q4 и Q8, Q5 и Q9, при этом емкости p-n переходов транзисторов Q3, Q4 ухудшают быстродействие выходного каскада. Если Q3–Q5 выполнить минимальных размеров (AREA = 1), а Q7, Q8 — в виде мощных элементов (типовое значение AREA = 5...10), то ток выходных эмиттерных повторителей Q7, Q8 в состоянии покоя значительно возрастет $I_{IDLING} = (2,9 - 4,6) \times I_{C2}$.

Из выражения (1) для $V_{OUT} \neq 0$, $R_{LOAD} \neq 0$ и равенства площадей эмиттеров пар транзисторов Q3 и Q7, Q4 и Q8, Q5 и Q9 ток в нагрузке можно определить из системы уравнений:

$$\begin{cases} I_{SOURCE} = I_{DRAIN} \pm \left| \frac{V_{OUT}}{R_{LOAD}} \right| \\ I_{SOURCE} \cdot I_{DRAIN} = I_{IDLING}^2 \end{cases} \quad (5)$$

Из выражения (5) следует, что при возрастании одного из токов I_{SOURCE} или I_{DRAIN} , другой будет убывать почти до нуля, поэтому, задавая небольшой ток покоя I_{IDLING} , можно обеспечить большую нагрузочную способность по току.

Результаты схемотехнического моделирования ВК, приведенного на рис. 2, для транзисторов АБМК_1_2 при биполярном напряжении питания ± 5 В и заземленной нагрузке R_{LOAD} показаны на рис. 3, 4.

Из них следует, что при малом коэффициенте AREA4 = AREA8 = 1 наклон зависимости $V_{OUT} = f(V_{INP})$ в отрицательной области выходного сигнала более пологий, чем в положительной (рис. 3), и, следовательно, коэффициент усиления напряжения:

$$K_V = \frac{dV_{OUT}}{dV_{INP}}$$

для втекающего тока ($V_{OUT} < 0$) меньше, чем для вытекающего ($V_{OUT} > 0$). При 10-кратном увеличении площади выходного p-n-p транзистора Q8 коэффициент усиления K_V для втекающего тока превышает K_V для вытекающего при небольшом сопротивлении нагрузки $R_{LOAD} = (1 - 2)$ кОм (рис. 4).

Здесь и далее при моделировании альтернативных вариантов выходных каскадов рабочие токи через основные цепи были максимально близкими к наиболее распространенным режимам работы: ток

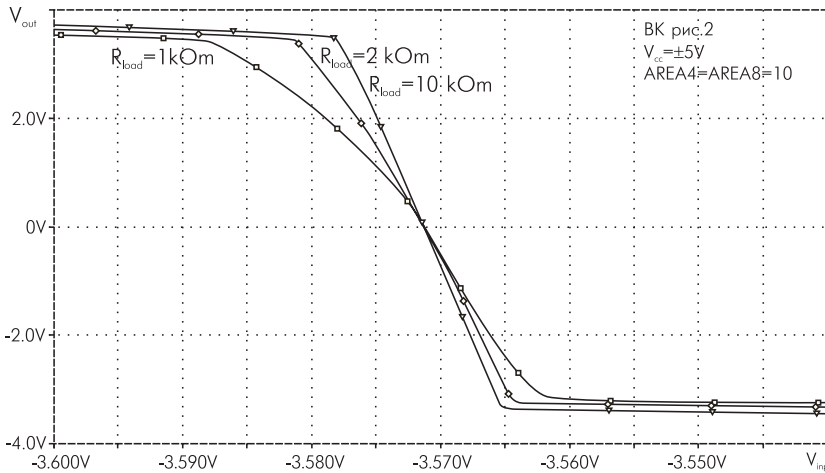


Рис. 4. Зависимость выходного напряжения от входного для ВК, показанного на рис. 2, при $R_{LOAD} = 1 \text{ кОм}; 2 \text{ кОм}; 10 \text{ кОм}$ и $AREA4 = AREA8 = 10$

входного эмиттерного повторителя $I_{E1} \approx 15 \text{ мкА}$, источника тока активной нагрузки $I_{C2} \approx 300 \text{ мкА}$, выходных эмиттерных повторителей $I_{IDLING} \approx 300 \text{ мкА}$.

Для уменьшения суммарной паразитной емкости в высокоомном узле (коллектор Q2) применяют источник смещения V_{BIAS2} в виде транзистора Q3 с резисторами, шунтирующими эмиттерный R4 и коллекторный R3 переходы (рис. 5). В этом случае ток покоя выходных транзисторов Q5, Q6 определяют их эмиттерные резисторы R5, R6:

$$I_{IDLING} \approx \frac{V_{BE3} \times \left(1 + \frac{R_3}{R_4}\right) - |V_{BE7}| - |V_{BE6}| - V_{BE5}}{R_6 + R_5}, \quad (6)$$

где V_{BEi} — прямое падение напряжения на эмиттерном переходе i -го транзистора.

Для воспроизводимого задания I_{IDLING} необходимо увеличивать падение напряжения на токозадающих резисторах R5, R6, но при этом появляется сильная температурная зависимость тока покоя I_{IDLING} из-за отрицательного температурного коэффициента прямого падения напряжения на эмиттерном переходе [1] и уменьшается амплитуда выходного сигнала. Кроме того, для ВК необходимо учитывать существование искажений, вызванных схемотехнической асимметрией, а именно:

1. Искажения при работе на емкостную нагрузку. В этом случае низкая граничная частота р-п-р транзистора приводит к уменьшению запаса по фазе и появлению выбросов на переходной характеристике, а в некоторых случаях даже к колебаниям для отри-

цательной попуолвы выходного напряжения.

2. "Переходные искажения" возникают в двухтактном выходном каскаде при работе выходных транзисторов в режиме класса В [4] и изменении направления тока, протекающего через нагрузку, то есть при переходе выходного напряжения через нулевое значение (рис. 6). При этом происходит выключение одного и включение другого плеча, а так как в классе В транзисторы смещены таким образом, что при отсутствии входного сигнала ток через них не протекает, то при малых входных сигналах оба плеча выключены.

3. Искажения из-за влияния на усиление низкоомной нагрузки. Различный β п-р-п и р-п-р транзисторов приводит к различному входному дифференциальному сопротивлению r_{INP} эмиттерных

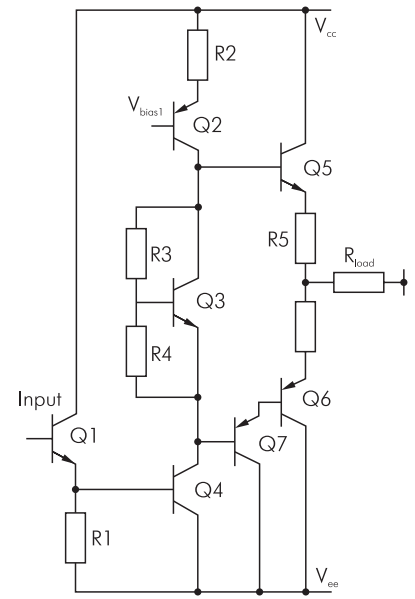


Рис. 5. Выходной каскад с транзисторной цепью смещения Q3, R3, R4 выходных транзисторов Q5-Q7

повторителей (Q7 и Q9, рис. 2), которое влияет на усиление каскада с активной нагрузкой [5, 6]:

$$K_V \approx \frac{I_{C2}}{\Phi_T} \times (r_{OUT6} \parallel r_{OUT2} \parallel r_{INP7} \parallel r_{INP9}), \quad (7)$$

$$r_{INP7} \approx \beta_7 \times \left(\frac{\Phi_T}{I_{SOURCE}} + R_{LOAD} \right), \quad (8)$$

$$r_{INP9} \approx \beta_9 \times \beta_8 \times \left(\frac{\Phi_T}{I_{DRAIN}} + R_{LOAD} \right), \quad (9)$$

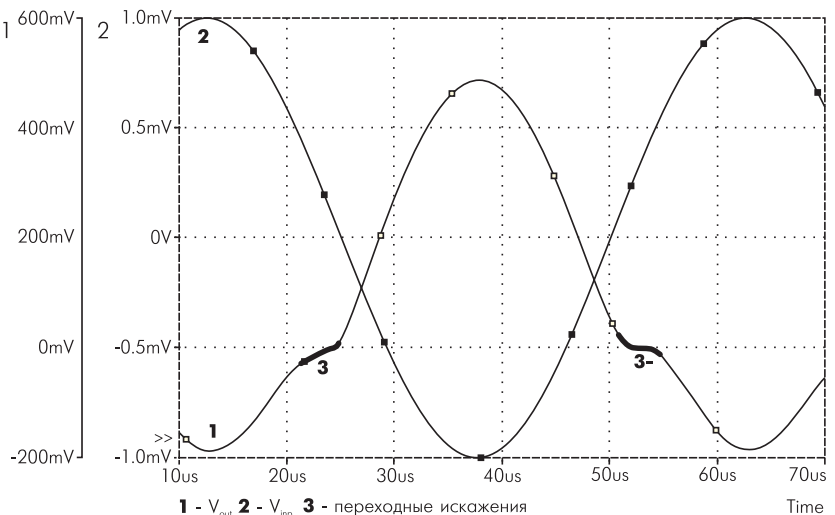


Рис. 6. Результаты моделирования "переходных искажений" двухтактного выходного каскада при работе выходных транзисторов в режиме класса В

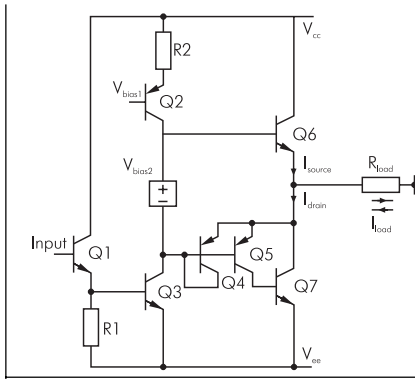


Рис. 7. Выходной каскад с улучшенной симметрией формы выходного сигнала

где r_{OUT} — выходное дифференциальное сопротивление i -го транзистора.

Для транзисторов АБМК_1_2 описанного ранее рабочего режима и $R_{LOAD} = 1 \text{ кОм}$ расчет по выражениям (7) – (9) дает $K_{V+} \approx 339$ для $V_{OUT} = 0,3 \text{ В}$; $K_{V-} \approx 414$ для $V_{OUT} = -0,3 \text{ В}$, различие коэффициентов усиления будет $\Delta = 2 \times (K_{V+} - K_{V-}) : (K_{V+} + K_{V-}) = -19,9 \%$, что согласуется с результатами моделирования $K_{V+} \approx 313,54$; $K_{V-} \approx 354,68$; $\Delta = -12,31 \%$.

Наиболее простой способ улучшения характеристик выходного каскада — это применение составных схем включения р-п-р и п-р-п [2], однако при этом уменьшается амплитуда выходного сигнала. Для практических применений можно рекомендовать выходной каскад, в котором уменьшено влияния нагрузки на симметрию формы выходного сигнала [5, 6]. Эффект достигается за счет выравнивания β п-р-п и р-п-р транзисторов, так как:

$$\beta_{\Sigma} = \frac{\beta_N + 2 + \frac{2}{\beta_P}}{1 + \frac{2}{\beta_P}}, \quad (10)$$

где $\beta_s, \beta_p, \beta_N$ — статический коэффициент передачи тока в схеме с общим эмиттером составного (Q4, Q5, Q7), р-п-р и п-р-п транзисторов соответственно. Схемотехническое моделирование показало, что применение ВК уменьшает асимметрию коэффициента усиления с $\Delta = -12,31 \%$ до $\Delta = +0,1 \%$ (рис. 7).

ВЫХОДНЫЕ КАСКАДЫ С ПТУП

Большинство технологий изготовления ИС позволяют одновременно с формированием биполярных транзисторов реализовать полевой транзистор, управляемый р-п переходом (ПТУП) с каналом р-типа, причем при комбинирован-

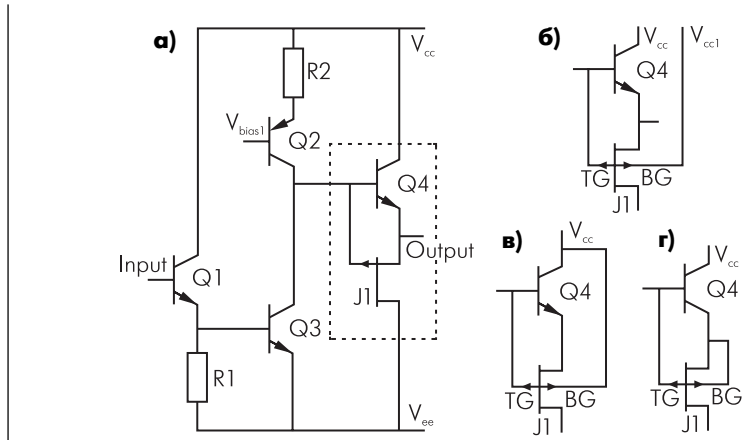


Рис. 8. Выходные каскады с применением р-п-п и р-ПТУП

ной изоляции элементов окислом и р-п переходом в таком р-ПТУП можно сделать отдельный вывод верхнего затвора (top gate, TG) и нижнего (bottom gate, BG) затворов. В двухзатворном ПТУП емкость р-п перехода верхний затвор-канал намного меньше, чем нижний затвор-канал [7], поэтому соединение с высокоомной точкой выходного каскада минимальной емкости увеличивает быстродействие (рис. 8, б, в, г).

Полевой транзистор допустимо использовать в качестве источника тока в эмиттерном повторителе [8], если параметры ПТУП удовлетворяют некоторым условиям (рис. 8), а именно:

1. В требуемом температурном диапазоне напряжение отсечки V_p превышает падение напряжения на прямосмещенном эмиттерном переходе транзистора Q4:

$$V_p > V_{BE4}. \quad (11)$$

2. В противном случае J1 будет закрыт, а эмиттерный ток Q4 будет определяться внешней нагрузкой.

3. Для того чтобы J1 работал как источник тока в области насыщения вольтамперных характеристик должно выполняться условие:

$$V_{SD} \geq V_p - V_{GS}, \quad (12)$$

которое ограничивает сверху величину напряжения отсечки для допустимого минимального выходного напряжения V_{OUTMIN} :

$$V_p \leq V_{OUTMIN} + V_{BE4}. \quad (13)$$

С инженерной точки зрения наиболее удобным диапазоном напряжения отсечки будет $1 \text{ В} < V_p < 1,5 \text{ В}$. Воспроизводимое получение отсечки малой вели-

чины является сложной технологической задачей, но в двухзатворном ПТУП возможно уменьшение напряжения отсечки по верхнему затвору при подаче на нижний затвор обратного смещения [7]. Такой режим можно реализовать при использовании дополнительного источника смещения V_{CC1} , напряжение которого может превышать напряжение питания V_{CC} , но так как ток потребления источника V_{CC1} определяется обратным током р-п перехода нижнего затвора, то дополнительная мощность не потребляется (рис. 8, б). Если напряжение отсечки по верхнему затвору удовлетворяет выражению (13) без подачи смещения на нижний затвор, то последний можно соединить с истоком ПТУП для уменьшения емкости в высокоомном узле (рис. 8, г).

Все выходные каскады, показанные на рис. 8, имеют особенность — допустимый технологический разброс напряжения отсечки приводит к разбросу эмиттерного тока Q4 в состоянии покоя. На рис. 9 показана модернизированная схема [9], в которой ток ПТУП

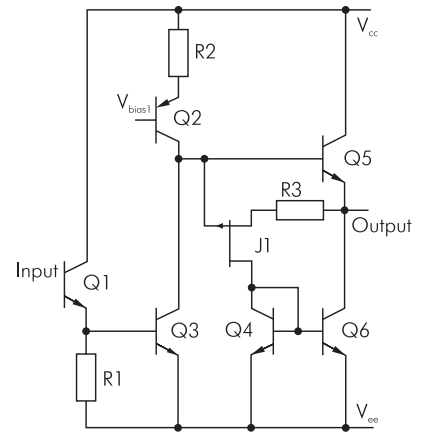


Рис. 9. Модернизированный выходной каскад с применением р-п-п и р-ПТУП

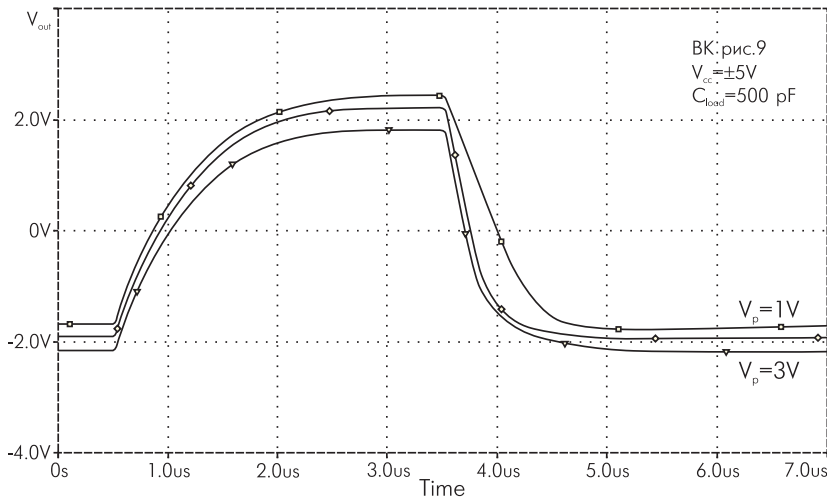


Рис. 10. Результаты моделирования реакции ВК, показанного на рис. 9, на входной прямоугольный импульс при разном напряжении отсечки V_p

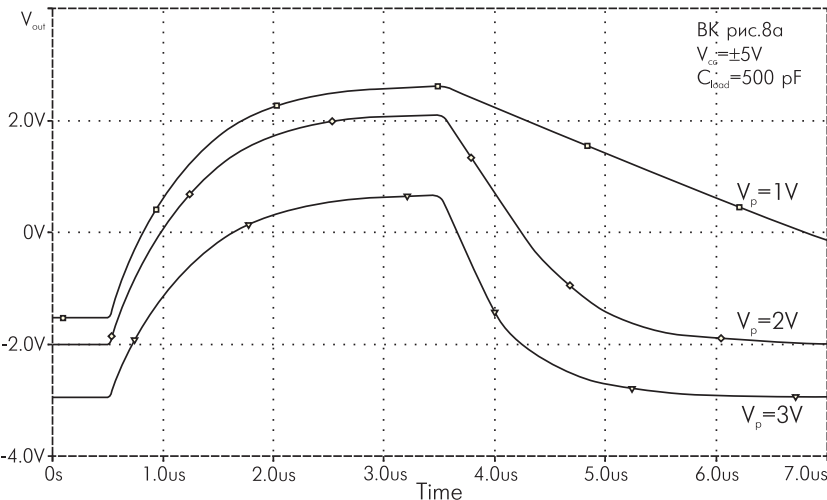


Рис. 11. Результаты моделирования реакции ВК, показанного на рис. 8 (а), на входной прямоугольный импульс при разном напряжении отсечки V_p

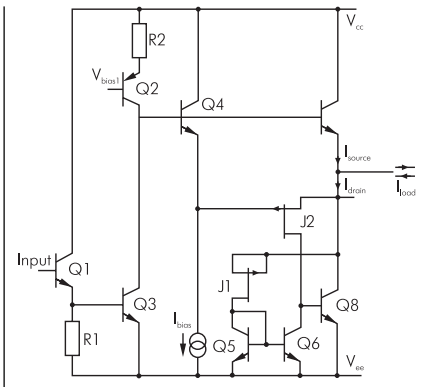


Рис. 12. Выходной каскад на п-р-п и р-ПТУП с высокой скоростью нарастания выходного напряжения

8(а) и 9, на входной прямоугольный импульс при емкостной нагрузке $C_{LOAD} = 500$ пФ и $V_p = 1$ В, 2В, 3В показывает значительную стабилизацию формы выходного сигнала модернизированной схемы по сравнению с исходной (рис. 10, 11).

Дальнейшая модернизация выходного каскада на п-р-п и р-ПТУП позволила значительно улучшить его характеристики (рис. 12).

Ток стока J1 повторяется “токовым зеркалом” Q6, Q5 и смещает J2. Если J1, J2 имеют одинаковые вольтамперные характеристики, то в транзисторе J2 будет поддерживаться $V_{GS2} = 0$ и эмиттерные потенциалы Q4 и Q7 будут равны. Если площадь эмиттера Q7 в N раз больше площади эмиттера Q4, то ток покоя I_{IDLING} ($I_{IDLING} = I_{DRAIN} = I_{SOURCE}$, если $I_{LOAD} = 0$) в N раз больше эмиттерного тока Q4, то есть $I_{IDLING} = N \times I_{BIAS}$. Такое включение J2 обеспечивает постоянное выходное напряжение при изменении тока нагрузки I_{LOAD} , если он меньше тока покоя I_{IDLING} , то есть предельно низкое выходное дифференциальное сопротивление ВК, что особенно важно при использовании ВК в монолитных повторителях напряжения, работающих без обратной связи. Изменение тока нагрузки I_{LOAD} поглощается Q8, ток через который возрастает до $I_{DRAIN} \approx 2 \times I_{IDLING}$, при вытекающем токе нагрузки $I_{LOAD} = I_{IDLING}$. Если вытекающий ток I_{LOAD} превышает ток покоя I_{IDLING} , то транзистор Q8 выключается и выходное напряжение слабо зависит от тока нагрузки I_{LOAD} из-за логарифмической зависимости напряжения прямосмещенного эмиттерного перехода Q7 от тока. Для работы ВК необходимо, чтобы ток стока J2 был намного меньше тока покоя I_{IDLING} . Существенное улучшение быстродействия в ВК получено за счет:

Таблица. Результаты схематехнического моделирования выходных каскадов

Наименование параметра	Тип выходного каскада			
	рис. 2	рис. 8 (а)	рис. 12	
$R_{LOAD} = 2$ кОм, $V_{OUT+} = 1$ В	Коэффициент усиления при $f = 10$ Гц, дБ	49,6	50,0	50,2
	Частота единичного усиления, МГц	185,6	526,4	526,4
	Запас фазы на частоте единичного усиления, градус	63,3	82,1	78,4
$R_{LOAD} = 2$ кОм, $V_{OUT-} = -1$ В	Коэффициент усиления при $f = 10$ Гц, дБ	51,7	48,5	52,4
	Частота единичного усиления, МГц	124,3	338,7	283,8
	Запас фазы на частоте единичного усиления, градус	59,4	104,6	75,2
$C_{LOAD} = 500$ пФ, $V_{OUT+} = 1$ В	Коэффициент усиления при $f = 10$ Гц, дБ	52,7	53,0	53,1
	Частота единичного усиления, МГц	24,6	34,5	37,0
	Запас фазы на частоте единичного усиления, градус	3,6	17,0	10,8
$C_{LOAD} = 500$ пФ, $V_{OUT-} = -1$ В	Коэффициент усиления при $f = 10$ Гц, дБ	53,6	54,0	54,2
	Частота единичного усиления, МГц	23,4	33,9	36,5
	Запас фазы на частоте единичного усиления, градус	1,3	14,3	9,3

стабилизирован за счет включения в его истоковую цепь резистора R3. Чем больше R3, тем меньше изменение тока стока при разбросе напряжения отсечки, а уменьшение крутизны ПТУП при вклю-

чении R3 может быть компенсировано увеличением коэффициента передачи “токового зеркала” Q4, Q6. Схематехническое моделирование реакции выходных каскадов, приведенных на рис.

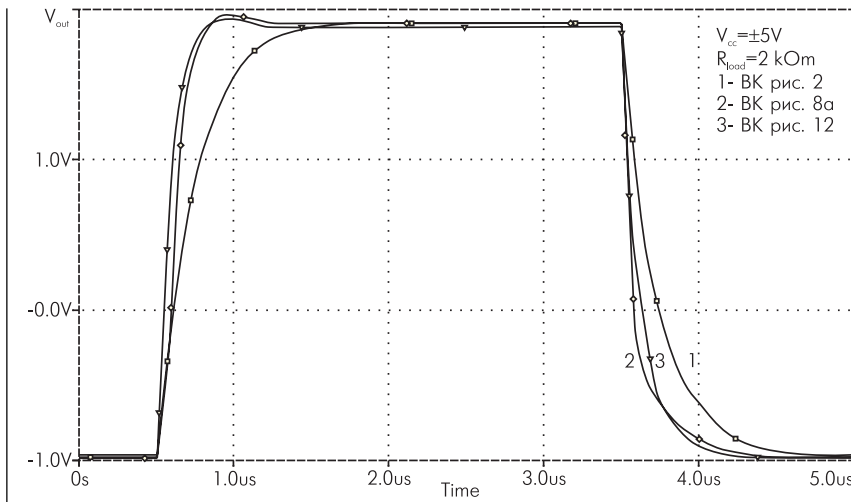


Рис. 13. Результаты моделирования реакции ВК на входной прямоугольный импульс при резистивной нагрузке $R_{LOAD} = 2 \text{ кОм}$, кривая 1 соответствует ВК — рис. 2, кривая 2 — рис. 8 (а), кривая 3 — рис. 12

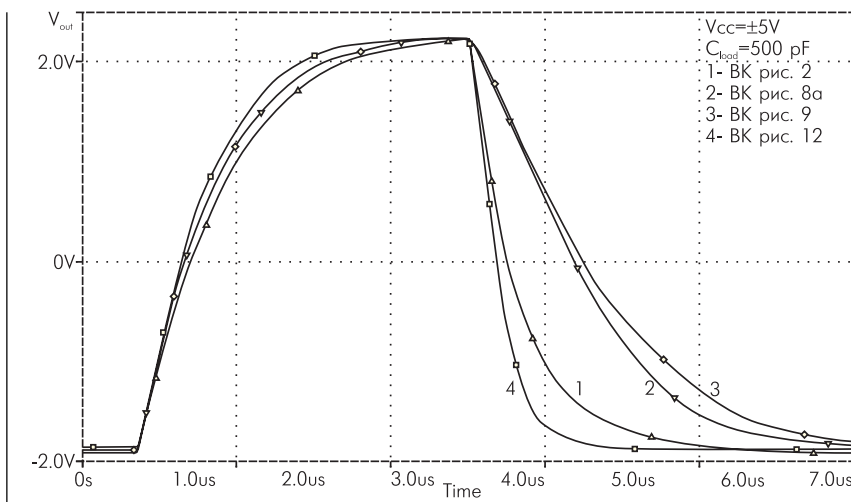


Рис. 14. Результаты моделирования реакции ВК на входной прямоугольный импульс при емкостной нагрузке $C_{LOAD} = 500 \text{ пФ}$, кривая 1 соответствует ВК — рис. 2, кривая 2 — рис. 8 (а), кривая 3 — рис. 9, кривая 4 — рис. 12

- наибольшую частоту единичного усиления при резистивной нагрузке имеет каскад, что объясняется предельно малой паразитной емкостью в высокоомном узле (рис. 8, а). Однако усиление этого каскада для отрицательной полуволны уменьшается при работе на низкоомную нагрузку из-за большого выходного сопротивления истокового повторителя J1. По этой же причине спад выходного сигнала при работе на емкостную нагрузку очень медленный (кривая 2, рис. 14);
- наилучшим сочетанием низкочастотного усиления, скорости нарастания выходного напряжения при работе как на резистивную, так и на емкостную нагрузку обладает ВК (рис. 12).

Литература

1. Дворников О. В. Схемотехника биполярно-полевых аналоговых микросхем. Часть 1. Особенности электрических параметров элементов современных ИС // Chip News. 2004. № 9. С. 18–25.
2. Дворников О. В. Схемотехника биполярно-полевых аналоговых микросхем. Часть 6. Составные схемы включения биполярных и полевых транзисторов // Chip News. 2005. № 6. С. 42–49.
3. Дворников О. В. Схемотехника биполярно-полевых аналоговых микросхем. Часть 5. Источники стабильного тока // Chip News. 2005. № 4. С. 60–63.
4. Достал И. Операционные усилители. М.: Мир, 1982. 512 с.
5. Дворников О. В. Уменьшение искажений в двухтактном выходном каскаде // Техника средств связи. Сер. РИТ. 992. Вып. 5. С. 38–40.
6. Дворников О. В., Любый Е. М. Усилитель мощности. Авторское свидетельство СССР №1375074. Заявл. 29.12.85.
7. Дворников О. В., Чеховской В. А., Шульгевич Ю. Ф. Универсальный набор двухзатворных полевых транзисторов с р-п переходом // Chip News. 2005. № 9. С. 26–30.
8. Shin H. J., Lu P.-F., Chuang C.-T. A high-speed low-power JFET pull-down ECL circuit // IEEE J. of Solid - State Circuits. 1991. V. SC-26. N 4. P. 679–689.
9. Erdi G. A 300 V/us Monolithic Voltage Follower // IEEE Journal of Solid-State Circuits. 1979. Vol. SC-14. N 6. P. 1059–1065.

- уменьшения суммарной емкости всех параллельных цепей, соединенных с высокоомным узлом — коллектором Q2;
- уменьшения времени перезаряда паразитных емкостей, связанных с затвором J2 (затвор-подложка, затвор-исток, затвор-сток) при достаточном большом I_{BIAS} ;
- модернизации “токового зеркала” Q5, Q6, Q8.

C_{CB6} , который отражается “токовым зеркалом” и уменьшает скорость изменения выходного напряжения. В “токовом зеркале” Q5, Q6, Q8 этот эффект значительно ослаблен (рис. 12).

Для изучения особенностей характеристик ВК было выполнено схемотехническое моделирование при одинаковых режимах работы. Результаты моделирования для резистивной и емкостной нагрузок показаны в таблице и на рис. 13, 14.

В традиционном “токовом зеркале” (Q4, Q6, рис. 9), несмотря на малую величину емкости C_{CB6} коллекторного перехода транзистора Q6, быстрое изменение коллекторного напряжения Q6 вызывает импульс сквозного тока через

Анализ полученных результатов позволяет сделать следующие выводы:

- наименьший запас фазы при работе на емкостную нагрузку имеет выходной каскад (рис. 2);

(Окончание следует)