

Продолжение. Начало в № 6'2005

Олег ДВОРНИКОВ
Oleg_Dvornikov@tut.by

Проблемы проектирования аналоговых устройств с входными полевыми транзисторами

Выбор между интегральными схемами с входными FET и дискретными FET

Номенклатура аналоговых микросхем с входными FET очень широка, но наиболь-

ший интерес у разработчиков РЭА вызывают полупроводниковые изделия с предельным уровнем электрических параметров, к которым можно отнести электрометрические операционные и инструментальные усилители, представленные в таблице 1, широ-

кополосные и быстродействующие ОУ и буферы, показанные в таблице 2.

CA3160 — один из наиболее простых электрометрических операционных усилителей, построенных по технологии Bi-MOS (рис. 7) [16]. Он имеет традиционную двухкаскадную

Таблица 1. Основные гарантируемые параметры электрометрических операционных и инструментальных усилителей при температуре 25 °С

Параметр	INA116P	LMC6001A	УД026Б [15]	1AD549L	OPA128LM	OPA129PB	OPA111BM	AD8605	CA3420	LT1462AC	LT1464AC	MC33502
Входной ток, пА	0,025 (0,003) (0,03)*	0,025 2,0*	0,05	0,06 2,8*	0,075 (2,0)*	0,1 (2,0)*	1,0 (0,5) (30,0)*	1,0 (0,2) 50,0*	5,0** (0,05)	3,0 (1,0) (60,0)*	3,0 (0,5) (200,0)*	104** (0,04) (5,0)*
Разность входных токов, пА	0,025	(0,005)	—	(0,02)	(0,03)	(0,03)	0,75	0,5	4,0** (0,03)	2,0 (0,5)	2,0 (0,5)	—
Напряжение смещения, мВ	2,0	0,7	0,5	0,5	0,5	2,0 (0,5)	0,25	0,3	10,0	2,0	2,0	5,0 (0,5)
Дрейф напряжения смещения, мкВ/°С	10	10	5	10	5	10	1	5	(4)	20	20	(8)
Спектральная плотность напряжения шума на частоте 10 Гц / 1 кГц, нВ/Гц ^{1/2}	(110/28)	(90/22)	—	(90/35)	(92/27)	(85/17)	(30/7)	(36/7)	(300/62)	(92/76)	(33/24)	(62/30)
Спектральная плотность тока шума на частоте 1 кГц, фА/Гц ^{1/2}	(0,1)	(0,13)	—	(0,11)	(0,12)	(0,1)	(0,4)	(10,0)	—	(0,5)	(0,4)	—
Входной дифференциальный импеданс, Ом пФ	(10 ¹⁵ 0,2)	(> 10 ¹⁵)	—	(10 ¹⁵ 1)	(10 ¹⁵ 1)	(10 ¹⁵ 1)	(10 ¹⁵ 1)	(— 2,6)	(1,5*10 ¹² 4,9)	(10 ¹² 3)	(10 ¹² 3)	(10 ¹² 2)
Коэффициент усиления, дБ	0/20/40/60	(110)	100	(120)	(128)	(120)	(125)	(120)	(100)	(106)	(106)	(114)
Частота единичного усиления, МГц	(0,8)	(1,3)	(0,25)	(1,0)	(1,0)	(1,0)	(2,0)	10,0	(0,5)	(0,175)	(0,9)	(5,0)
Скорость нарастания выходного напряжения, В/мкс	(0,8)	(1,5)	—	(3,0)	(3,0)	(2,5)	(2,0)	(5,0)	(0,5)	(0,13)	(1,0)	(3,0)
Ток потребления, мА	1,4	0,75	4,5	0,7	1,5	1,8	3,5	1,2	1,0	0,045	0,2	2,25
Тип корпуса	DIP-16/ SO-16	TO-99 DIP-8	K 151.15-1	TO-99	TO-99	DIP-8 SOIC-8	TO-99	SOT-23 MicroCSP	DIP-8	DIP-8 SO-8	DIP-8 SO-8	DIP-8 SO-8
Тепловое сопротивление, °С/Вт	—	145/100	—	200	200	90/100	200	230/220	105	130/190	130/190	130/190

Примечания:

* при температуре 85 °С.

** измерения выполнены на высокоскоростном оборудовании, не допускающем нагревания ИС.

В круглых скобках приведены типовые значения параметров.

Таблица 2. Основные гарантируемые параметры широкополосных и быстродействующих ОУ и буферов при температуре 25 °С

Параметр	AD8067	OPA637	OPA657U	AD8610B	THS4631	THS4601	MAX4488	LN0033	LN0063
Входной ток, пА	5,0 (1,0) 25,0*	5,0 (1,0) 1000,0*	20,0 (2,0) 5000,0*	10,0 (3,0) 250,0*	100,0 (50,0) 2000,0*	100,0 (30,0) 1100,0*	150,0*** (1,0)	250,0** 10 тыс.*	30 тыс.** 100 тыс.*
Разность входных токов, пА	1,0 (0,2)	5,0 (0,5)	10,0 (1,0)	10,0 (1,5)	100,0 (25,0)	100,0 (2,0)	150,0*** (1,0)	—	—
Напряжение смещения, мВ	1,0	0,1	1,8	0,10	0,5	4,0	0,35	15,0	100,0
Дрейф напряжения смещения, мкВ/°С	15,0	0,8	12,0	1,0	12,0	10,0	6,0	100,0	(300,0)
Спектральная плотность напряжения шума на частоте 10 Гц/1кГц, нВ/Гц ^{1/2}	(6,6 @ 10 кГц)	(15,0/5,2)	(4,8 @ 100 кГц)	(—/6,0)	(7,0 @ 10 кГц)	(5,4 @ 10 кГц)	(21,0/4,5)	—	—
Спектральная плотность тока шума на частоте 10 кГц, фА/Гц ^{1/2}	(0,6)	(1,6)	(1,3 @ 100кГц)	(5,0)	(20,0)	(5,5)	(0,5)	—	—
Входной дифференциальный импеданс, Ом пФ	(10 ¹² 2,5)	(10 ¹³ 8,0)	(10 ¹² 0,7)	(— 8,0)	(10 ¹² 3,9)	(10 ¹² 3,5)	(10 ¹² 10,0)	(10 ¹¹)	(— 8,0)
Коэффициент усиления	220 тыс. (530)	1000 тыс. (80,0)	1,8 тыс. (1600,0)	100 тыс. (25,0)	3 тыс. (210,0)	50 тыс. (180,0)	18 тыс. (42,0)	0,97 (100,0)	0,94 (200,0)
Частота единичного усиления, МГц	(640 @ 1кОм, 5 В)	(135 @ 1 кОм, 10 В)	(700 @ 1 кОм, 1 В)	(60 @ 1 кОм, 5 В)	(1000 @ 1 кОм, 10 В)	(100 @ 1 кОм, 10 В)	(10 @ 1 кОм)	(1500 @ 1 кОм, 20 В)	(6000 @ 1 кОм, 20 В)
Скорость нарастания выходного напряжения, В/мкс	±11,7	±10	± 3,3	±10	±10	±12,8...-13,4	0,2...5,25	±9,0	±10
Максимальное выходное напряжение, В	7,0	7,5	15,8	3,5	13,0	11,5	4,4	22,0	65,0
Ток потребления, мА	—	—	—	—	—	—	—	—	—

Примечания:

* при температуре 85 °С.

** измерения выполнены на высокоскоростном оборудовании, не допускающем нагревания ИС.

*** гарантируется конструкцией.

В круглых скобках приведены типовые значения параметров.

Для ОУ, работающих с коэффициентом усиления G больше единицы, частота единичного усиления определена как произведение частоты спада АЧХ на 3 дБ (f_{-3dB}) на усиление на этой частоте, то есть $G \cdot f_{-3dB}$.

схему, а именно: входной дифференциальный каскад (ДК) на р-канальных MOS Q6, Q7 с активной нагрузкой на п-р-п-транзисторах Q9, Q10; второй каскад на п-р-п Q11 с активной нагрузкой на р-MOS Q5; двухтактный выходной каскад на комплементарных транзисторах р-MOS Q8 и n-MOS Q12. Реализация активной нагрузки на «токовом зеркале» одновременно обеспечивает переход от дифференциального напряжения к синфазному, а эмиттерные резисторы R5, R6 уменьшают шум активной нагрузки, стабилизируют режим работы, позволяют выполнить подстройку напряжения смещения внешним потенциометром, подключенным между выводами 1 и 5. Для увеличения усиления второго каскада и уменьшения влияния синфазного напряжения на характеристики ДК источники тока Q2, Q4 и Q3, Q5 выполнены по каскодной схеме [17]. Выбор в качестве входных элементов Q6, Q7 р-MOS-транзисторов с индуцированным каналом, имеющих отрицательное пороговое напряжение, позволяет работать с входным напряжением, меньшим, чем отрицательное напряжение питания V_{EE} приблизительно на 0,5 В. Поэтому СА3160 пригоден для работы в РЭА с однополярным напряжением питания. Защита затворов входных транзисторов Q6, Q7 выполнена на диодах D5–D7.

Входные MOS-транзисторы обеспечивают высокий входной импеданс. Однако обратный ток диодов D5–D7 определяет величину максимального входного тока ОУ в 50 пА (типовой входной ток — 5 пА) и его удвоение при увеличении температуры на 10 °С, а сами входные MOS FET вызывают относительно высокий уровень шума — спектральная плотность напряжения шума на частоте 1 кГц составляет 72 нВ/Гц^{1/2}.

Входные каскады модифицированных электрометрических Bi-MOS ОУ показаны на рис. 8 для СА3420 и рис. 9 для МС33502.

Во входном каскаде СА3420 также применены транзисторы р-MOS с индуцированным каналом, что обеспечивает работоспособность ОУ при входном напряжении, меньшем, чем отрицательное напряжение питания, но защищающие затворы входных транзисторов диоды и расположенные на кристалле охраняющие кольца подключены через буферные по-

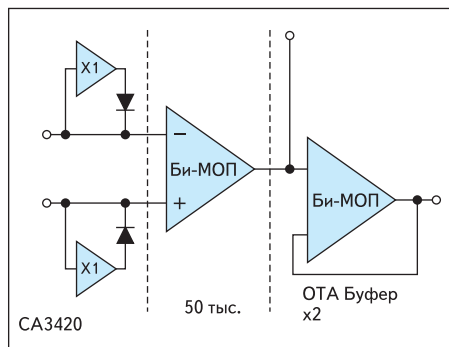


Рис. 8. Структура Bi-MOS ОУ СА3420

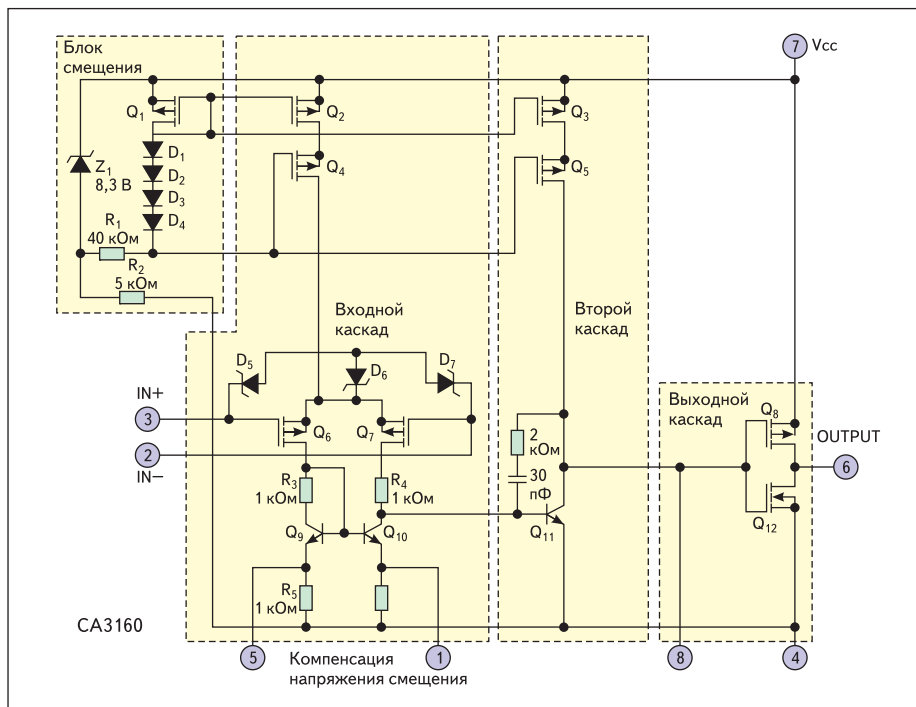


Рис. 7. Схема Bi-MOS электрометрического ОУ СА3160

вторители (X1). При этом напряжение на защитных диодах близко к нулю, ток через них практически не протекает, и отсутствует удвоение входного тока ОУ при изменении температуры на 10 °С.

Главное преимущество МС33502 заключается в том, что этот ОУ работоспособен при суммарном ($V_{CC} - V_{EE}$) напряжении питания величиной 1 В и в диапазоне входного синфазного напряжения от отрицательного V_{EE} до положительного V_{CC} напряжения питания (rail-to-rail).

Большинство ОУ rail-to-rail используют параллельное включение двух входных ДК. Один из них, обычно на п-р-п-транзисторах, обеспечивает работу при входном сигнале, близком к V_{CC} , а второй (на п-р-п) — около V_{EE} . Выходные сигналы обоих ДК суммируются перегну-

тым каскодом (folded cascode) [18]. Параллельное включение двух ДК увеличивает входной ток, емкость, шум, напряжение смещения.

МС33502 имеет один входной ДК на паре MOS-транзисторов со встроенным п-каналом. В этих транзисторах (Q9, Q10) токопроводящий канал выполнен ионным легированием p^+ -примеси в карман р-типа, поэтому при нулевом напряжении затвор-исток ток в канале может протекать. Отрицательное напряжение затвор-исток приводит к уменьшению проводимости канала и тока стока, а при большом (пороговом) отрицательном напряжении затвор-исток ток стока отсутствует. Таким образом, транзисторы n-MOS со встроенным каналом работают в режиме обеднения (depletion mode NMOS — DNMOS), и их пороговое напряжение отрицательное.

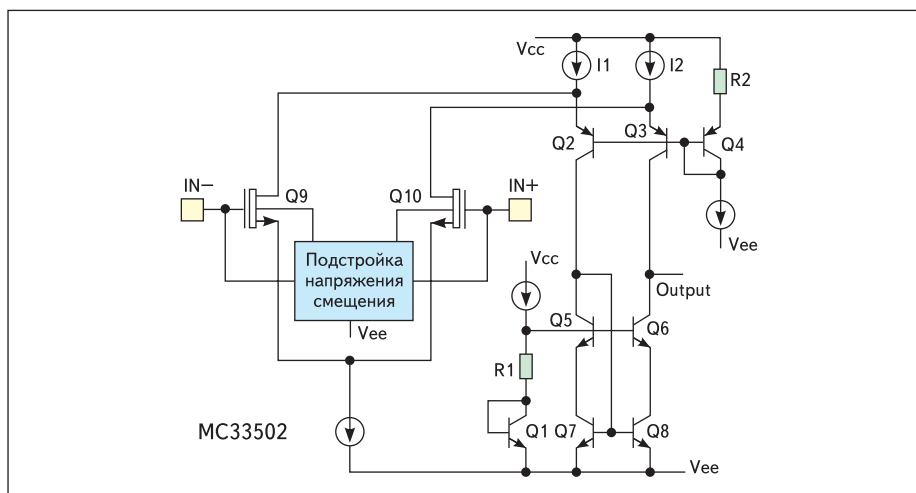


Рис. 9. Упрощенная схема входного каскада Bi-MOS ОУ МС33502

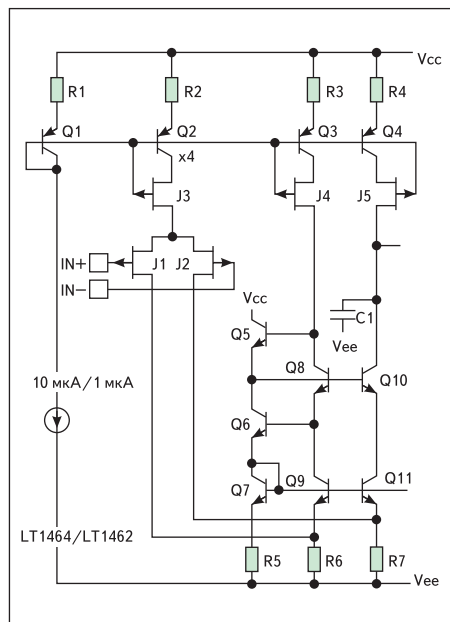


Рис. 10. Входной каскад Bi-JFET ОУ LT1464/LT1462

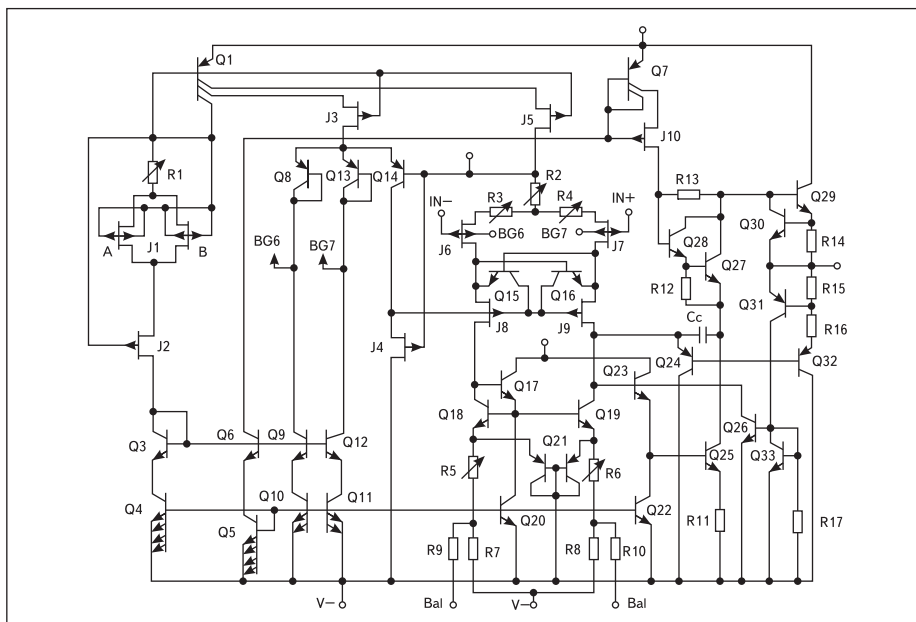


Рис. 11. Схема электрическая AD549

На характеристики DNMOS-транзисторов влияет напряжение между истоком и карманом. Обратное смещение исток-карман вызывает уменьшение толщины токопроводящего канала, тока стока и, следовательно, порогового напряжения. При большом обратном смещении исток-карман возможно полное обеднение встроенного канала, при этом для появления токопроводящего канала на затвор необходимо подать положительное напряжение, и DNMOS-транзистор будет работать как p-MOS с индуцированным каналом и положительным пороговым напряжением.

Двойное управление (изменением напряжения затвор-исток и карман-исток) применяется во входном каскаде ОУ MC33502 для обеспечения допустимого входного напряжения от V_{EE} до V_{CC} . Если обратное напряжение исток-карман невелико или равно нулю, то пороговое напряжение Q9, Q10 — отрицательное и входной каскад может обрабатывать сигналы, близкие к V_{EE} . При большом обратном смещении исток-карман пороговое напряжение Q9, Q10 положительное, и ДК работоспособен при входном сигнале около V_{CC} . Разное напряжение исток-карман транзисторов Q9 и Q10 также позволяет выровнять их характеристики при управлении по затворам и уменьшить напряжение смещения ОУ. Кроме пары DNMOS входной ДК включает перевернутый каскод на p-n-p Q2, Q3 и источниках тока I1, I2. Если в качестве I1, I2 использовать резисторы или DNMOS-транзисторы, то напряжение на них может быть очень небольшим (от 80 до 100 мВ), что крайне важно для схем с малым напряжением питания. Активная нагрузка на каскаде Q5-Q8 (общий эмиттер + общая база) увеличивает коэффициент усиления и позволяет перейти от дифференциального сигнала к синфазному.

Небольшой по сравнению с MOSFET фликкер-шум JFET объясняет их широкое применение в электрометрических ОУ. Типовой входной каскад JFET показан на рис. 10. Он используется в LT1464/LT1462 и состоит из входной пары JFET J1, J2, перевернутого каскода на R6, R7, Q9, Q11, активной нагрузки на источниках тока Q3, Q4. Для улучшения статических параметров все источники вытекающего тока выполнены по каскодной схеме из p-n-p-транзистора Q2-Q4 и p-JFET J3-J5 [19]. Увеличению усиления также способствуют транзисторы с общей базой Q8, Q10, которые образуют с Q9, Q11 каскод для увеличения выходного дифференциального сопротивления пары p-n-p-транзисторов. Требуемого сочетания входного тока и шума достигают оптимизацией отношения Z/L входных транзисторов J1, J2.

Для значительного уменьшения входного тока в ОУ AD549 применен двухзатворный JFET, а в серии операционных и инструментальных усилителей фирмы Texas Instruments — транзистор Di-FET, который представляет собой JFET с диэлектрической изоляцией и одним верхним затвором. В таком элементе отсутствует p-n-переход между нижним затвором и подложкой, вносящий основной вклад во входной ток и емкость. Малый входной ток достигается без уменьшения размеров JFET, что позволяет получить малое напряжение смещения и его температурный дрейф, а также небольшой низкочастотный шум.

Электрическая схема AD549 показана на рис. 11. Несмотря на кажущуюся сложность, она состоит из известных решений: дифференциальной входной пары J6, J7; «токового зеркала» Q17-Q19; эмиттерного повторителя Q22, Q23; каскода с активной нагрузкой Q25, Q7; двухтактного выходного каскода Q29, Q32; блока задания напряжения Q27, Q28, R12, R13 между базами выходных

транзисторов Q29, Q32; схемы ограничения максимального выходного вытекающего Q30, R14 и втекающего тока Q31, R15, Q26, Q33, R17; каскодных источников тока Q1, J3, J5, Q7, J10. Оригинальными являются применение двухзатворных JFET в качестве входных транзисторов; следящая обратная связь на J4, J8, J9, обеспечивающая постоянное напряжение исток-сток J6, J7, приблизительно равное 3 В, для уменьшения обратного тока затвор-сток, увеличения входного импеданса и коэффициента ослабления входного синфазного напряжения; блок смещения Q1-Q14, J1-J5, автоматически задающий ток стока входных транзисторов J6, J7 близко к оптимальному значению с нулевой температурной зависимостью для высокоточной подстройки напряжения смещения и его температурного дрейфа. Кроме того, блок смещения поддерживает потенциал нижних затворов в районе 30 мВ от потенциала верхних для предотвращения протекания тока между верхним и нижним затворами. Потенциал узлов BG6, BG7 также используется для раздельного смещения расположенных на кристалле около входов IN-, IN+ охранных колец.

Электрометрические операционные усилители OPA111, OPA128 и OPA129, а также инструментальные INA116 усилители фирмы Burr-Brown имеют аналогичные входные каскады (рис. 12) и отличаются в основном режимом работы, размерами входных Di-FET и конструктивным исполнением. OPA128 поставляется в металлическом корпусе TO-99 (рис. 4), а OPA129 (рис. 5) имеет нетрадиционное для 8-выводного корпуса назначение выводов, а именно: выводы 1 и 4 не соединены со схемой, а входы 2, 3 максимально удалены от выводов питания 5, 7, что позволяет окружить входы и элементы обратной связи (ОС) охранным кольцом.

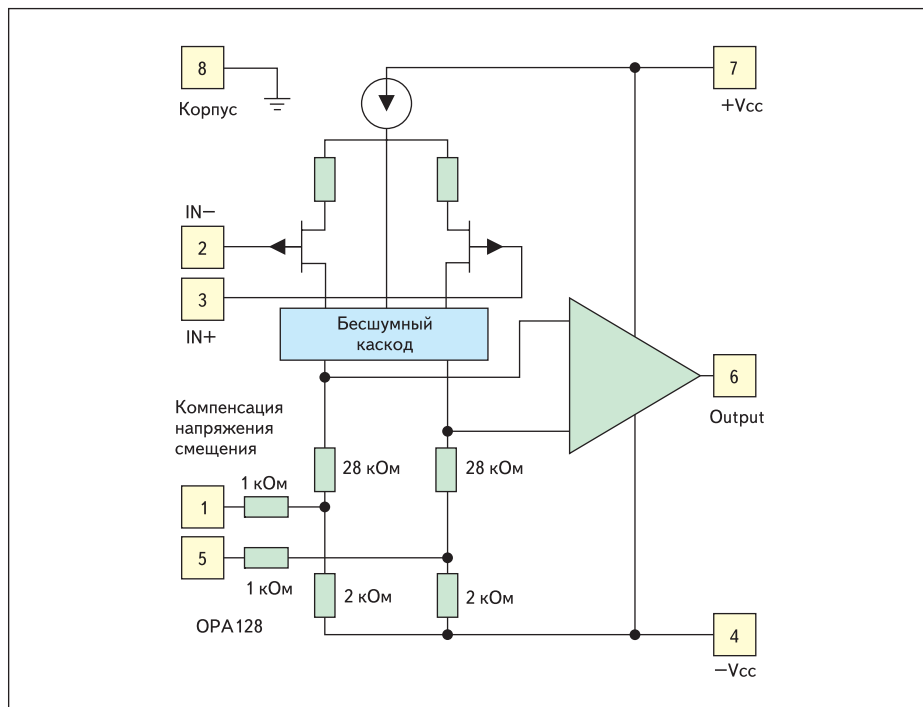


Рис. 12. Входной каскад Di-FET ОУ OPA128

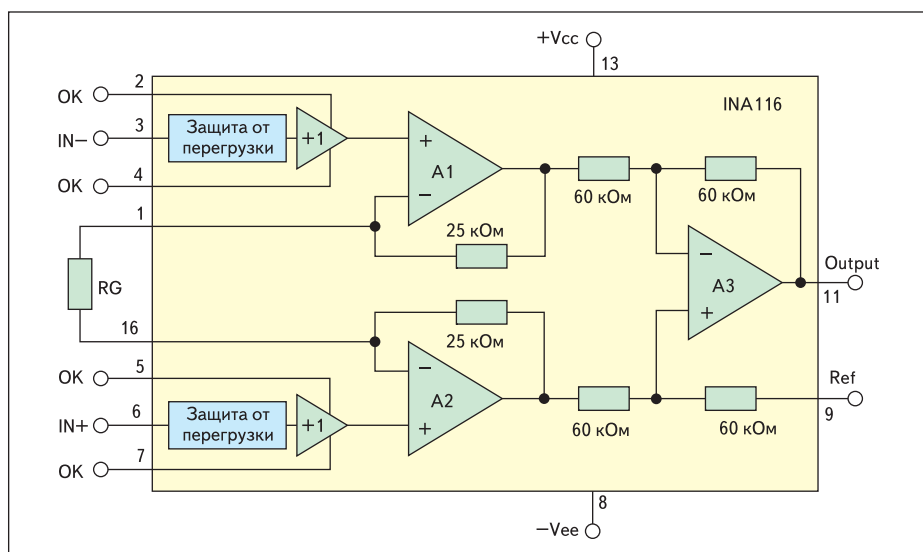


Рис. 13. Упрощенная схема Di-FET инструментального усилителя INA116

Инструментальные усилители работают без ОС, напряжение на их входах (IN- и IN+) разное, и поэтому для них невозможно смещение охранного кольца напряжением другого входа, как в ОУ (рис. 4). Каждый вход инструментального усилителя INA116 (рис. 13) имеет отдельный буферный повторитель напряжения, который соединен с окружающими вход выводами корпуса, а на печатной плате соединяется с охранными кольцами, отдельными для каждого входа.

Входы ОУ с обыкновенными p-JFET должны быть защищены от разрушающих токов, протекающих через изолирующий p-n-переход затвор-подложка при его прямом смещении, если входное напряжение меньше,

чем отрицательное напряжение питания. Благодаря диэлектрической изоляции на вход Di-FET ОУ можно подавать напряжение меньше, чем отрицательное напряжение питания без подключения дополнительных защитных элементов.

Малая входная емкость элементов Di-FET используется в широкополосных и быстродействующих ОУ, таких, как OPA627/637. Во входном ДК OPA627/637, показанном на рис. 14, для увеличения быстродействия применяется транзистор Di-FET и следящая обратная связь Q8, V_{BIAS}, Q2, Q4, Q7, которая фиксирует напряжение сток-исток входных транзисторов J1, J2 на постоянном уровне при изменяющемся входном синфазном напря-

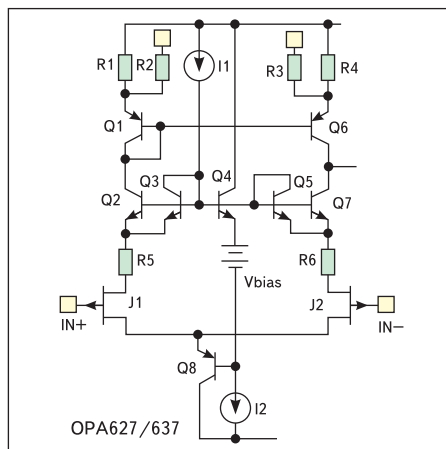


Рис. 14. Входной каскад Di-FET ОУ OPA627/637

жении. При этом устраняется зависимость параметров входных транзисторов J1, J2 от уровня синфазного напряжения, что увеличивает коэффициент ослабления входного синфазного напряжения. Однако основным преимуществом следящей ОС является поддержание практически постоянным падения напряжения на переходах входных транзисторов. Емкости p-n-переходов J1, J2 не перезаряжаются, и их влияние на быстродействие ДК невелико. Источник тока I2 задает базовый ток Q8 и эмиттерный ток Q4. При отсутствии входного дифференциального напряжения, то есть $V_{IN+} \approx V_{IN-}$, ток источника I1 поровну разделится между «токовыми зеркалами» Q2, Q3 и Q5, Q7. При этом справедливо:

$$I_{D1} \approx I_{D2} \approx \frac{I_1}{2}, \quad (9)$$

$$I_{C2} \approx I_{C7} \approx \frac{I_1}{2 \times \left(1 + \frac{S_{E3}}{S_{E2}}\right)}, \quad (10)$$

где I_{DI} , I_{CI} — ток стока и ток коллектора i-го транзистора соответственно, S_{EI} — площадь эмиттерного перехода i-го транзистора.

Предполагается, что $S_{E2} = S_{E7}$, $S_{E3} = S_{E5}$.

Из (9) и (10) вытекает еще одно преимущество такого ДК — возможность отдельной оптимизации рабочего режима входных JFET и усилительного каскада Q2, Q7 с активной нагрузкой Q1, Q6. Выбирая ток I1 и напряжение V_{BIAS} , можно задать требуемый режим работы J1, J2, а за счет увеличения площади Q3, Q4 $S_{E3}/S_{E2} = S_{E5}/S_{E7} > 1$ уменьшить коллекторный ток Q2, Q7 и рассеиваемую мощность в каскаде с активной нагрузкой.

Приведенные электрические схемы позволяют лучше понимать особенности микросхем с входными полевыми транзисторами. Некоторые же из них, например на рис. 10 и 14, можно реализовать на дискретных FET.

При выборе микросхем с входными FET для конкретного радиоэлектронного устройства необходимо учитывать ряд факторов.

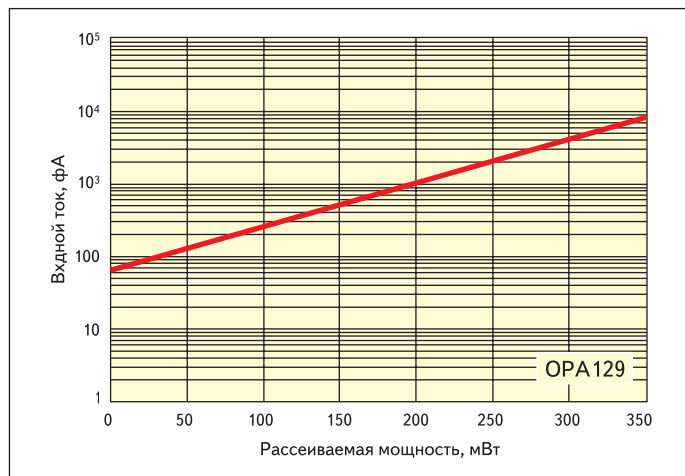


Рис. 15. Зависимость входного тока OPA129 от рассеиваемой мощности

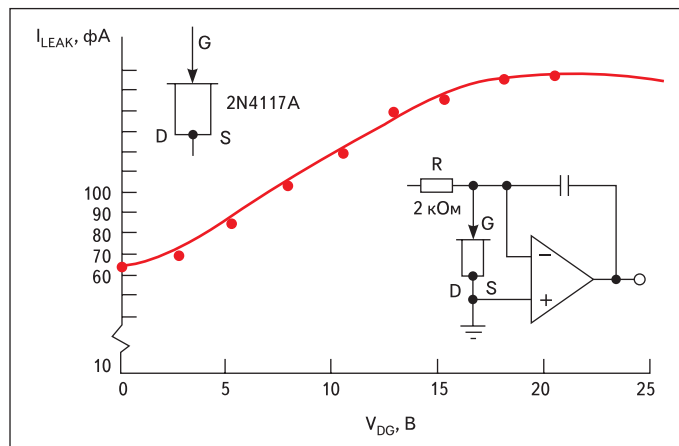


Рис. 16. Зависимость тока утечки диодного включения JFET 2N4117A от обратного напряжения

1. Обратный ток кремниевого p-n-перехода удваивается при увеличении температуры приблизительно на 10 °С. Это приводит к значительному увеличению входного тока электрометрических ОУ как с входными JFET, так и MOS-транзисторами, так как последние имеют схему защиты затвора от пробоя ЭСЗ.
2. Саморазогрев микросхем приводит к увеличению входного тока даже при нормальной температуре окружающей среды, поэтому при выборе ИС необходимо учитывать тепловое сопротивление корпуса и мощность, рассеиваемую микросхемой, особенно при работе на низкоомную нагрузку. Увеличение входного тока можно оценить по приведенной в спецификации на конкретную ИС зависимости входного тока от температуры с учетом следующей зависимости:

$$T - T_0 \approx \theta_{JA} \times (V_{CC} - V_{EE}) \times I_{SUPRMS}, \quad (11)$$

где $T - T_0$ — увеличение температуры ИС из-за саморазогрева, θ_{JA} — тепловое сопротивление корпуса [°С/Вт] между кристаллом и окружающей средой, I_{SUPRMS} — среднеквадратическое значение тока потребления микросхемы.

При выборе ИС с входным FET следует внимательно изучить зависимость входного тока от рассеиваемой мощности (например, приведенную на рис. 15 для OPA129), а также режим измерения входного тока. Иногда указывают, что измерения проведены на автоматизированных установках. В этом случае возможно, что ток утечки измерительного устройства намного больше, чем входной ток микросхемы. Такая ситуация типична для электрометрических ОУ, гарантированный входной ток которых часто намного превышает типовое значение, полученное при тщательном измерении ИС на печатной плате. С другой стороны, при быстрых измерениях мощных ИС с полевыми транзисторами не происходит их саморазогрева, и входной

ток при измерениях может быть меньше величины, получаемой в РЭА.

3. Часто возникает необходимость защитить вход аналогового устройства от воздействия перегрузок напряжения: ЭСЗ, выбросов источника входного сигнала, электромагнитных импульсов, динамической перегрузки входа при работе ОУ с ОС и быстрыми входными сигналами. Если внутренняя защита в микросхеме отсутствует, то допустимо применение диодного включения маломощного JFET, например 2N4117A (рис. 16), с дополнительным резистором, который ограничивает ток через JFET на уровне, разрешенном спецификацией на полевой транзистор [20].
4. При использовании бескорпусных микросхем или минимального по площади кристаллодержателя для поверхностного монтажа (MicroCSP для AD8605ACB) необходимо учитывать, что входной ток из-за существования фотоэлектрического эффекта зависит от длины волны и интенсивности падающего на планарную поверхность кристалла света. Входной ток возрастает с увеличением длины волны света и освещенности поверхности кристалла. Такая зависимость существует для всех электрометрических ОУ, но ее максимум для каждого из них свой и определяется глубиной залегания p-n-перехода, вызывающего входной ток.
5. Для маломощных устройств необходимо учитывать все составляющие шума: спектральную плотность напряжения шума S_{VN} , спектральную плотность тока шума S_{IN} и шум резисторов, соединенных с входом ОУ R_S . Для не инвертирующего повторителя напряжения суммарный шум на выходе составит:

$$S_{VO} = \sqrt{S_{VN}^2 + (S_{IN} \times R_S)^2 + 4 \times k \times T \times R_S}, \quad (12)$$

где S_{VO} — спектральная плотность напряжения шума на выходе не инвертирующего повторителя напряжения.

Величина S_{VN} , S_{IN} обычно указана в спецификации на микросхему. Иногда не приводятся данные по S_{IN} , но эту составляющую можно рассчитать, если известна величина всех токов i_k , протекающих через источник входного сигнала с внутренним сопротивлением R_S (входной ток ОУ, ток через защитный элемент, утечка по печатной плате и т. д.):

$$S_{IN} = \sqrt{2 \times q \times \sum_K i_k}. \quad (13)$$

Малый входной ток электрометрических ОУ приводит к тому, что они обладают минимальным суммарным шумом при работе с высокоомным источником входного сигнала. В то же время для низкоомных источников предпочтительнее маломощные биполярные ОУ, что иллюстрируют результаты сравнения типового маломощного биполярного ОУ OP27 и маломощного Bi-FET усилителя OPA111, приведенные на рис. 17.

В ряде случаев применение микросхем с входными FET не позволяет достичь требуемых характеристик аналоговых блоков и вынуждает разработчиков РЭА применять дискретные FET на входе аналоговых устройств.

Так, предотвратить увеличение входного тока из-за саморазогрева микросхемы проще всего за счет устранения тепловой связи входных JFET с тепловыделяющими элементами в гибридной ИС, состоящей из двух кристаллов, либо путем применения двух отдельных полупроводниковых приборов на печатной плате (входные транзисторы и ОУ).

JFET-транзисторы, в отличие от других активных элементов микросхем, сохраняют работоспособность при очень низких, криогенных температурах [21], что позволяет создавать сверхмаломощные усилители с входными дискретными охлаждаемыми JFET.

При работе с детекторами частиц наименьший уровень шума получают при емкостном согласовании детектора и входного JFET [22],

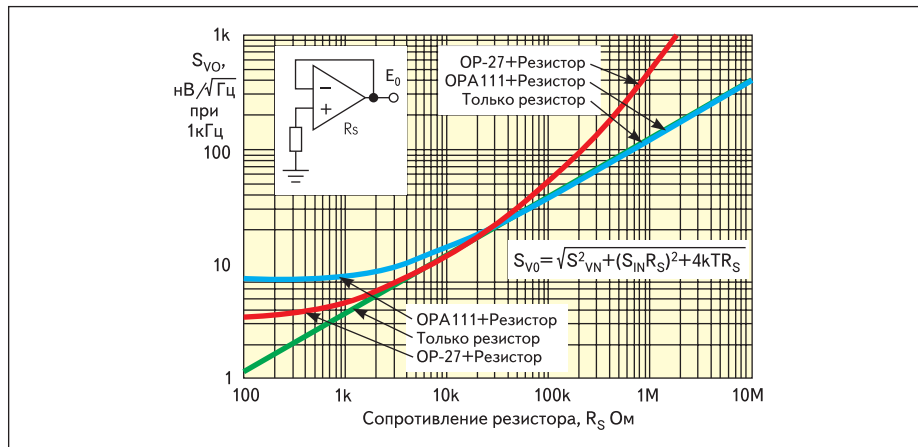


Рис. 17. Зависимость спектральной плотности напряжения на выходе не инвертирующего повторителя напряжения от сопротивления источника входного сигнала

то есть при равенстве входной емкости JFET и емкости детектора. Такое согласование обычно обеспечивают правильным выбором дискретного JFET, так как проектирование специализированной ИС с входными JFET требует значительных материальных и временных затрат.

При радиационном воздействии практически не изменяются статические (крутизна, напряжение отсечки) и динамические (емкости переходов) параметры JFET, но происходит увеличение обратного тока и низкочастотного шума. Шум увеличивается из-за появления новых составляющих (шума Лоренца), обратно пропорциональных квадрату частоты [23]:

$$S_G^2 \approx \frac{8 \times k \times T}{3 \times g_M} + \frac{K_F}{4 \times \beta_J \times f} + \sum_{i=1}^N \frac{K_{LI}}{2 \times \pi \times f_{LI}} \frac{1}{1 + \left(\frac{f}{f_{LI}}\right)^2} \quad (14)$$

где f_{LI} — частота для i -й составляющей шума Лоренца, K_{LI} — коэффициент для i -й составляющей шума Лоренца.

Шум Лоренца объясняется флуктуациями тока стока вследствие действия ловушек заряда и объемных дефектов, поэтому параметры f_{LI} , K_{LI} определяются физической природой ловушек и зависят от температуры.

При воздействии γ -радиации в n-JFET появляются две составляющие шума Лоренца, а в p-JFET — одна составляющая, в то же время частота излома f_W и крутизна не изменяются [23]. В связи с этим приведенный к затвору среднечастотный («белый») шум и фликкер-шум остаются без изменений, но увеличивается суммарный шум в низкочастотной области из-за появления шума Лоренца. Несмотря на увеличение шума, JFET более подходят для радиационно-стойких аналоговых ИС, чем биполярные и MOS-транзисторы. Для небольших доз радиации и среднечастотной области предпочтительны n-JFET, имеющие максималь-

ную крутизну и, следовательно, наименьший среднечастотный шум. Однако для работы при сильном радиационном воздействии следует применять p-JFET, обеспечивающие минимальное увеличение суммарного шума. Обычно на дискретных JFET изготавливают предварительные усилители, расположенные в жестких условиях эксплуатации, а остальную обработку сигнала выполняют микросхемами, максимально удаленными от источников радиационного воздействия.

При выборе JFET необходимо также учитывать особенности их работы в РЭА, а именно: какой сигнал обрабатывается аналоговым блоком — дифференциальный или синфазный. В последнем случае в качестве входного элемента можно использовать высококачественный дискретный JFET, в частности фирм InterFET или Vishay. Для дифференци-

Таблица 3. Типовые параметры двухзатворных JFET фирмы МОХТЕК при управлении верхним затвором при температуре 20 °С, $I_D = 5$ мА, $V_{DS} = 4$ В, $V_{TGS} = 0$; требуемый ток стока устанавливается обратным смещением нижнего затвора V_{BGS} (при необходимости, в таблице приведены отличия от указанных режимов)

Наименование	$I_{BGS} = 0$ ($V_{BGS} = 0$)	$V_{TGS} = 0$ ($V_{BGS} = 0$)	g_m мА/В	I_{DSS} мА ($V_{BGS} = 0$)	C_{GS} пФ	Уровень шума S_G нВ/Гц ^{1/2}		
						20 °С	-100 °С	f_i кГц
MX16	0,4	10,0	28,0	300,0	4,0	0,8 1,1	0,6 0,9	100,0 1,0
MX20	0,6	10,0	8,0	29,0	0,9	1,5 1,8	1,2 1,6	100,0 1,0
MX20RC	0,3	5,5	6,0	11,0	0,6	1,9 2,8	1,4 2,2	100,0 1,0
MX30	0,1	10,0	6,0	20,0	0,6	2,0 2,4	1,6 2,2	100,0 1,0
MX40	0,2	9,0	4,5	12,0	0,4	2,6 3,3	2,1 3,0	100,0 1,0
MX120	0,3	9,0	16,0	64,0	1,7	1,0 1,2	0,7 1,0	100,0 1,0

альных каскадов необходимы сдвоенные транзисторы (dual JFET) с идентичными характеристиками. Они могут быть выполнены в виде микросборки, содержащей на одной теплопроводящей подложке два кристалла JFET (two-chip design), подобранных по близкой величине максимального тока стока I_{DSS} , крутизны g_m , напряжения отсечки V_p , малой разности напряжения затвор-исток ΔV_{GS} при одинаковом токе стока. Лучшую идентичность параметров и меньший температурный дрейф $\Delta V_{GS}/\Delta T$ обеспечивает однокристалльное исполнение сдвоенных транзисторов. К сожалению, в этом случае затвор каждого JFET соединен с изолирующим p-n-переходом, вносящим дополнительную паразитную емкость.

В настоящее время ряд предприятий серийно выпускает большое количество разнообразных JFET (табл. 3–5), что, на первый

Таблица 4. Основные типы JFET

Тип	Область применения	Граничная частота f_T частота излома f_W	Приборы
NJ01, n-JFET	Микромощные схемы, малый входной ток, высокий входной импеданс	$f_T = 10$ МГц	2N4117, 2N4117A, 2N4118, 2N4118A, 2N4119, 2N4119A, 1FN421, 1FN422, 1FN423, 1FN424, 1FN425, 1FN426, U421
NJ16, n-JFET	Общего применения	$f_T = 75$ МГц, $f_W = 60$ Гц	2N3954, 2N3955, 2N3956, 2N3957, N3958, 2N4220, 2N4220A, 2N4221, 2N4221A, 2N4338, 2N4339, 2N4340, 2N4341, 2N4867, 2N4867A, 2N4868, 2N4868A, 2N4869, 2N4869A, 1FN17, 1FN40, 1FN59, 1FN105, J201, J202, J203, J204, J230, J231, J232, U401
NJ132, n-JFET	Быстродействующие аналоговые ключи	$f_T = 130$ МГц	2N4391, 2N4392, 2N4393, 2N4856, 2N4857, 2N4858, 2N4859, 2N4860, 2N4861, 2N4856A, 2N4857A, 2N4858A, 2N4859A, 2SK113, 1FN113, 2N4860A, 2N4861A
NJ132L, n-JFET	Маломощные схемы	$f_T = 130$ МГц, $f_W < 10$ Гц	2N6451, 2N6452, 2N6453, 2N6454, 1F1320, 1FN152, 2SK152
NJ26, n-JFET	Маломощные, схемы с большим усилением	$f_T = 180$ МГц	2N4416, 2N4416A, 2N5484, 2N5485, 2N5486, J304, J305
NJ26A, n-JFET	Маломощные, схемы с большим усилением	$f_T = 200$ МГц	2N5397, 2N5398, J210, J211, J212, MPF106
NJ30L, n-JFET	Маломощные, схемы с большим усилением	$f_T = 200$ МГц	2N5911, 2N5912, 1FN5911, 1FN5912, SMP5911, SMP5912
NJ14AL, n-JFET	Маломощные, высокочастотные, схемы с большим усилением	$f_T = 310$ МГц, $f_W = 60$ Гц	1F140, 1F140A, 1F142
NJ450, n-JFET	Аналоговые ключи с малым сопротивлением	$f_T = 350$ МГц	2SK363, 1FN146, 1FN147, 1FN363, J108, J109, J110, J110A,
NJ450L, n-JFET	Маломощные схемы	$f_T = 350$ МГц, $f_W = 800$ Гц	2N6550, 1F4500, 1F4501, 1FN860
n-JFET	Высокочастотные схемы	$f_T = 370$ – 390 МГц,	U441NL
NJ72, NJ72L, n-JFET	Высокочастотные схемы	$f_T = 370$ – 390 МГц	1FN5564, 1FN5565, 1FN5566, J308, J309, J310 U308, U309, U310, U311, U350, U430, U431
PJ32, p-JFET	Общего применения	$f_T = 80$ МГц	2N5020, 2N5021, 2N5460, 2N5461, 2N5462
PJ99, p-JFET	Общего применения	$f_T = 110$ МГц	2N3993, 2N3993A, 2N3994, 2N3994A, 2N5114, 2N5115, 2N5116, 2SJ44, 1FN5114, 1FN5115, 1FN5116

Таблица 5. Основные гарантируемые параметры наиболее распространенных FET

Наименование FET	Тип	I_{DSS} , пА, при $V_{DS}=0$	V_p , В		g_m , мА/В		I_{DSS} , нА		C_{RSS}/C_{ISS} , макс. при V_{DS}/V_{GS} , В	Уровень шума S_D	ΔV_{GS} , мВ	$\Delta V_{GS}/\Delta T$, мкВ/°С	Примечание
			не менее	не более	не менее	не более	не менее	не более					
2N4117A	n-JFET	1,0 @ 20 В (0,5 @ 20 В)	0,6	1,8	0,07	0,21	0,015	0,09	3,0/1,5 @ 10/0				
U421	n-JFET	1,0 @ 20 В (0,5 @ 20 В)	0,4	2,0	0,3	1,5	0,06	1,0	3,0/1,5 @ 10/0	20,0 нВ/Гц ^{1/2} @ 10 Гц	10,0	10,0	MD
2N4338	n-JFET	100 @ 30 В (10,0 @ 30 В)	0,3	1,0	0,6	1,8	0,2	0,6	7,0/3,0 @ 15/0	(6,0 нВ/Гц ^{1/2} @ 1 кГц)			
2N3954	n-JFET	100 @ 30 В (10,0 @ 30 В)	1,0	4,5	1,0	3,0	0,5	5,0	4,0/1,2 @ 20/0	(6,0 нВ/Гц ^{1/2} @ 1 кГц)	5,0	10,0	
HT013 [15]	n-JFET	3,0 @ 10 В	0,3	1,5	0,3	—	0,2	1,8	—	20 нВ/Гц ^{1/2} @ 10 Гц	30,0	30,0	TCD
2N6451	n-JFET	100,0 @ 10 В	0,5	3,5	15,0	30,0	5,0	20,0	25,0/5,0 @ 10/0	3,0 нВ/Гц ^{1/2} @ 1 кГц			
2N4416	n-JFET	100 @ 20 В (10,0 @ 20 В)	1,0	6,0	4,5	7,5	5,0	15,0	4,0/0,8 @ 15/0	(4,0 нВ/Гц ^{1/2} @ 1 кГц)			
2N5911	n-JFET	100 @ 15 В (10,0 @ 15 В)	1,0	5,0	5,0	10,0	7,0	40,0	5,0/1,2 @ 15/0	20,0 нВ/Гц ^{1/2} @ 10 Гц (2,5 нВ/Гц ^{1/2} @ 1 кГц)	10,0	20,0	TCD-V MD-I
HT010B [15]	n-JFET	100 @ 10 В	—	3,5	5,5	—	8,0	—	2,9/1,2 @ 10/0	—	10,0	30,0	TCD
IF140	n-JFET	100 @ 15 В (2,0 @ 10 В)	0,5	6,0	4,5	—	5,0	15,0	3,0/0,6 @ 15/0	4,0 нВ/Гц ^{1/2} @ 10 Гц (1,9 нВ/Гц ^{1/2} @ 1 кГц)			
2N6550	n-JFET	3000 @ 10 В (50 @ 15 В)	0,3	3,0	25,0	150,0	10,0	250,0	35,0/20,0 @ 10/0	2,0 нВ/Гц ^{1/2} @ 1 кГц 10,0 нВ/Гц ^{1/2} @ 10 Гц (0,9 нВ/Гц ^{1/2} @ 1 кГц)			
IFN860	n-JFET	3000 @ 10 В (50 @ 15 В)	0,3	3,0	25,0	150,0	10,0	250,0	35,0/20,0 @ 10/0	2,0 нВ/Гц ^{1/2} @ 1 кГц (0,9 нВ/Гц ^{1/2} @ 1 кГц)	25,0		
IFN146	n-JFET	1000 @ 30 В (50 @ 15 В)	0,3	1,2	30,0	—	—	30,0	75,0/15,0 @ 10/0	—	20,0		
U441NL	n-JFET	1,0 @ 15 В	1,0	6,0	4,5	9,0	6,0	30,0	3,5/1,0 @ 10/0	4,0 нВ/Гц ^{1/2} @ 10 кГц	20,0	10,0	MD
J309	n-JFET	1000 @ 15 В (10 @ 15 В)	1,0	4,0	10,0	—	12,0	30,0	5,0/2,5 @ 10/0	10 нВ/Гц ^{1/2} @ 100 кГц			
U430	n-JFET	150 @ 15 В (10 @ 15 В)	1,0	4,0	10,0	—	12,0	30,0	5,0/2,5 @ 10/0	10 нВ/Гц ^{1/2} @ 100 кГц	20,0	10,0	MD
HT009A [15]	n-JFET	100 @ 10 В	1,0	7,0	10,0	30,0	—	20,0	—	20 нВ/Гц ^{1/2} @ 10 Гц	10,0	30,0	TCD
2N5564	n-JFET	100 @ 20 В (10 @ 15 В)	0,5	3,0	7,5	12,5	5,0	30,0	12,0/3,0 @ 15/0	50,0 нВ/Гц ^{1/2} @ 10 Гц	5,0	10,0	TCD
2N5020	p-JFET	1000 @ 15 В	0,3	1,5	1,0	3,5	0,3	1,2	25,0/7,0 @ 15/0	(10 нВ/Гц ^{1/2} @ 1кГц)			
2N3993A	p-JFET	1200 @ 15 В (500 @ 20 В)	4,0	9,5	7,0	12,0	10,0	—	12,0/3,0 @ 10/0	(8 нВ/Гц ^{1/2} @ 1кГц)			
РБНТ001А [15]	p-JFET	10 @ 5 В	4,4	5,3	5,0	7,0	11,0	14,0	2,5 @ 0/0	—	20,0		MD, 4 шт.
HT003 [15]	MOS	0,01 @ 0,1 В 0,001 @ 10 мВ	—	3,5	0,3	—	0,3	—	—	75 мкВ p-p @ (0,01–10) Гц	100,0	50,0	TCD

Примечания:

TCD — гибридное исполнение (Two-Chip Design), MD- однокристалльное исполнение (Monolithic Design).

 C_{ISS} — входная емкость в схеме с общим истоком (common source input capacitance), C_{RSS} — проходная емкость в схеме с общим истоком (common source reverse transfer capacitance), I_{DSS} — обратный ток затвор-канал при соединенных выводах стока и истока.

p-p — размах от пика до пика (peak-to-peak).

В круглых скобках приведены типовые значения параметров

взгляд, усложняет поиск прибора с требуемыми характеристиками. Однако при ближайшем рассмотрении оказывается, что большее количество JFET представляет собой одно и то же топологическое решение, изготовленное по базовой технологии, и отличается только по типу выбранного корпуса и нормам отбраковки параметров (в основном напряжения отсечки, максимального тока стока, крутизны). Таких типов JFET (табл. 4) гораздо меньше, и среди них проще ориентироваться. Вначале рекомендуется выбрать наиболее подходящий для РЭА тип JFET, причем общим критерием качества может служить максимальная граничная частота f_{TJ} , а для малошумящих схем — максимальное отношение f_{TJ}/f_w . Далее среди изделий одного и того же типа желательно выбирать JFET с напряжением отсечки $V_p = 1,5–2,5$ В. Такие приборы обеспечат минимальное энергопотребление РЭА и при прочих равных условиях (одинаковая технология изготовления и топология JFET) — минимальную частоту излома f_w .

В таблице 5 наряду с зарубежными приборами приведены отечественные JFET [15], которые соответствуют лучшим зарубеж-

ным аналогам. Одно из преимуществ применения отечественных JFET заключается в возможности их бескорпусного исполнения или в непосредственном размещении и разварке кристаллов JFET на печатных платах потребителей.

В заключение отметим, что в том случае, когда вход аналогового устройства соединен с какой-либо цепью, проводящей электрический ток при отсутствии напряжения питания, то не следует опасаться накопления ЭСЗ, и в качестве входных элементов возможно применение MOS-транзисторов без защитных диодов, например малошумящей дифференциальной MOS-пары HT003 (табл. 5). ■

Окончание следует.

Литература

15. www.mnpi.by.
16. CA3160. 4MHz, BiMOS Operational Amplifier with MOSFET Input/CMOS Output. www.intersil.com.
17. Полонников Д. Е. Операционные усилители: принципы построения, теория, схемотехника. М.: Энергоиздат. 1983.

18. Huijsing J. H., Linebarger D. Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output Ranges // IEEE J. of Solid-State Circuits. 1985. V. SC-20, N 6.
19. Дворников О. В. Схемотехника биполярно-полевых аналоговых микросхем. Часть 2. Высокоточные повторители тока // Chip News. 2004. № 10.
20. Diode-Connected FET Protects Op Amps. Application bulletin. AB-064. www.ti.com.
21. Ardelean J., Citterio M., Hrisoho A., Manfredi P. F., Speziali V., Truong K. On the Noise Behavior of DMILL Charge and Current-sensitive Preamplifiers Architectures // Nuclear Instruments and Methods in Physics Research. 1998. Vol. A406.
22. Bertuccio G., Pullia A., De Geronimo G. Criteria of Choice of the Front-end Transistor for Low-noise Preamplification of Detector Signals at Sub-microsecond Shaping Times for X-and-ray Spectroscopy // Nuclear Instruments and Methods in Physics Research. 1996. Vol. A380.
23. Manghisoni M., Ratti L., Speziali V. Selection Criteria for P- and N- Channel JFETs as Input Elements in Low-Noise Radiation — Hard Charge Preamplifiers // IEEE Transactions on Nuclear Science. 2001. Vol. NS-48. № 4.